

PATENT ABSTRACTS OF JAPAN

(11) Publication number : 63-101832

(43) Date of publication of application : 06.05.1988

(51)Int.Cl.

G02F 1/133
G09F 9/30
G09G 3/36

(21)Application number : 61-246656

(71)Applicant : NEC CORP

(22) Date of filing : 17.10.1986

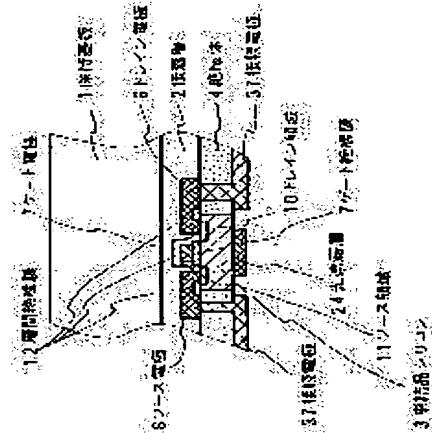
(72)Inventor : HIRAI YOSHIHIKO
HAMAGUCHI TSUNEO

(54) ACTIVE MATRIX LIQUID CRYSTAL DISPLAY DEVICE

(57)Abstract:

PURPOSE: To stably execute an operation even under an intense light irradiation by forming a light shielding layer on the surface of the opposite side of the surface on which a circuit of single crystal silicon has been formed.

CONSTITUTION: As for an element substrate, a device layer consisting of single crystal silicon 3 and an insulator 4 which are adjacent to each other is stuck to a holding substrate 1. In the single crystal silicon 3, an active element consisting of a MOS transistor is formed at the substrate 1 side, and the same light shielding layer 24 is formed at the opposite side of the substrate 1. A connecting electrode 37 is formed by making a contact hole in the insulator 4, by which an electrical connection is taken. A source area 11 and a drain area 10 use a gate electrode 7 as a mask and generated as a self-alignment by an ion implantation. In such a MOS transistor, the light shielding layer 24 is formed so as to cover a channel part of a MOS-FET, and a malfunction under an intense light irradiation is prevented, and the device is operated stably.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

⑯ 公開特許公報 (A) 昭63-101832

⑯ Int.CI.*

G 02 F 1/133
G 09 F 9/30
G 09 G 3/36

識別記号

3 2 7
3 3 8
8621-5C

序内整理番号

8205-2H
K-6866-5C

⑯ 公開 昭和63年(1988)5月6日

審査請求 未請求 発明の数 1 (全9頁)

⑯ 発明の名称 アクティブ・マトリクス液晶表示装置

⑯ 特願 昭61-246656

⑯ 出願 昭61(1986)10月17日

⑯ 発明者 平井 良彦 東京都港区芝5丁目33番1号 日本電気株式会社内

⑯ 発明者 濱口 恒夫 東京都港区芝5丁目33番1号 日本電気株式会社内

⑯ 出願人 日本電気株式会社 東京都港区芝5丁目33番1号

⑯ 代理人 弁理士 内原 晋

明細書

発明の名称

アクティブ・マトリクス液晶表示装置

特許請求の範囲

データ信号電極と走査信号電極とで定まる位置にアクティブ素子を設けた素子基板と対向電極を有する対向基板とが液晶を介して互いに対向して配置されたアクティブ・マトリクス液晶表示装置において、前記素子基板は保持基板に接着層を介してデバイス層が形成され、前記デバイス層は単結晶シリコンと絶縁体とからなり、前記デバイス層には前記アクティブ素子のほかに液晶駆動回路のうち少なくとも走査側駆動回路とデータ側駆動回路とが形成され、前記単結晶シリコンの前記回路を形成した面と反対側の面上に光遮蔽層を形成したことを特徴とするアクティブ・マトリクス液晶表示装置。

発明の詳細な説明

(産業上の利用分野)

本発明は厚膜状の単結晶シリコン基板上に形成された電界効果型トランジスタを有するアクティブ・マトリクス液晶表示装置に関する。

(従来の技術とその問題点)

近年、ツイスト・ネマティック型(TN型)を中心とした液晶表示装置(LCD)の応用が発展し、腕時計や電卓の分野で大量にもちいられている。また、情報端末、ワープロ等の用途に、ドットの組合せにより文字、図形等の任意表示が可能なマトリクス型も使われ始めている。マトリクス型LCDの構造は、ストライプ状の電極を有する基板2枚を、液晶を介して、各基板上の電極線が互いに垂直に交差するよう対向して配置したものである。本型のLCDのX-Y端子を、マトリクス端子とよぶ。

このマトリクス型LCDの応用分野を広げるためには、表示容量の増大が必要である。しかし、従来のLCDの電圧透過率変化特性はその立ち上がりがあまり急峻でないので、大表示容量を得るために、マルチプレクス駆動の走査本数を増加させると、選択画素と非選択画素各々にかかる実効電圧

比が低下する。この為、良好なコントラストが得られる視野角も著しく狭くなるので、従来のLCDでは、走査本数が60本位が限界であった。

このマトリクス型LCDの表示容量を大幅に増加させるために、LCDの各画素に液晶スイッチング用のアクティブ素子を配置したアクティブ・マトリクス液晶表示装置が提案されている。ここ数年間に発表されたアクティブ・マトリクス液晶表示装置試作品のアクティブ素子としては、無定形シリコン(a-Si)や多結晶シリコン(p-Si)を半導体材料としたFET構造の薄膜トランジスタ(TFT)、又は単結晶シリコン(s-Si)を半導体材料としたFETが大部分である。以下ではこのようなアクティブ素子を形成した基板を素子基板とよぶ。

これらのうちa-Siやp-SiのTFTは製造プロセスがまだ確立されていないので歩留まりが悪く、また良品の特性も不十分であり、走査本数に限界がある。更に、TFTの特性が不十分、且つ一枚の基板内でも特性が一様でない為、テレビ画面のような

ファイアまたはスピネル等の結晶性の絶縁物上に単結晶シリコンをエピタキシャル成長させ、そのエピタキシャル層に素子(この素子はサファイヤ上に形成した場合、SOSとよばれる)を形成する方法もある。このSOSは、s-Si上の素子並みの性能が得られるが、サファイア等の基板の価格が非常に高く、また大面積のものが得られない欠点がある。

近年、前記SOSの他に、絶縁基板上の単結晶シリコンからなるアクティブ素子として、ポリシングを用いた転写半導体素子(以下PTDと略す)が現れた。この素子については、濱口らによる「昭和59年秋季第45回応用物理学学会学術講演会予稿集」(講演番号12a-c-2)及び「日本応用物理学学会欧文誌(Japanese Journal of Applied Physics)」第23巻、第L815頁(1984年発行)の論文、及び特願昭59-137606号に示されている。

このPTD素子の製造法は、およそ次のとおりである。まず、s-Si基板に深さを制御された酸化物からなる素子分離領域を設け、この素子分離領域

中間調がでず、又コントラストが弱く、且つ画面内でコントラスト斑が生じる。

一方、s-Si上のFETは、従来のシリコンICプロセスをそのまま用いることにより得られるので、歩留まりも良く、良品の特性も十分であり、走査本数も実用上限界がない。しかし、このs-Siは不透明であるので、フルカラー化が困難であり、且つコントラストが高くとれるTN型が使えない等の本質的な欠点がある。

このような従来のアクティブ・マトリクスに関しては、エー・アイ・ラカトス(A. I. Lakatos)著による雑誌「Proceedings of SID」、第24巻、第2号、第185頁(昭和58年発行)収録の論文"Promise and Challenge of Thin-Film Silicon Approaches to Active Matrices"に述べられている。

一般に、絶縁基板上に半導体素子を形成する方法としては、a-Siやp-Siを使う方法の他に、サ

間の半導体部分に所望の素子を形成した後、その素子形成面を接着剤で保持基板に接着し、前記素子分離領域が露出するまで前記半導体基板を裏面から研磨しながら除去し、除去により露出した面を絶縁性の高分子材料からなる接着剤を介して支持基板に固定した後、保持基板を除去して形成される。

このようにして得られた転写半導体素子は、単結晶シリコン上にデバイスが形成されているので通常のシリコンデバイス並の優れた性能を有し、かつ安価で透明な絶縁体上に形成されるので、液晶用の基板に適した素子基板が安価に得られる可能性がある。しかし液晶表示装置は、通常ある程度の光がある状態で用いられる。例えば、直射日光下、及び、投射光学系中等のような、強度の光照射のもとで安定に動作することが要求されることは珍しいことではない。よく知られているような半導体デバイスは一般に光照射のもとでは安定に動作しないので、このような光照射の問題は大きな問題である。

この問題とは別に端子の問題が、フラット・ディスプレイ一般に問題としてある。例えば、400×640画素のディスプレイでは、縦400本、横640本の端子が出る為、1040箇所の接続と1040個のドライバが必要とされる。ドライバのIC化および端子接続技術の向上に因り近年解決可能にはなっているが、かなりのコストがこの部分にかかっている。

(発明の目的)

本発明の目的は、このような従来の欠点を除去し、高歩留まりで且つ高性能のアクティブ・マトリクス液晶表示装置を提供することにある。特に、強度の光照射のもとでも安定に動作し、且つ、パネルからの取出し端子数を大幅に減らしたアクティブ・マトリクス液晶表示装置を得ることに本発明の目的がある。

(問題を解決するための手段)

本発明のアクティブ・マトリクス液晶表示装置は、データ信号電極と走査信号電極とで定まる位置にアクティブ素子を設けた素子基板と対向電極

ス端子を各駆動回路に接続したのでパネルからの取りだし端子数を大幅に減らすことができる。また前記トランジスタを形成した面と反対側の面上に光遮蔽層を設けることにより強度の光照射のもとでも安定に動作する。

(実施例)

次に、本発明について実施例に基づいて詳細に説明する。第1図は本発明アクティブ・マトリクス液晶表示装置の実施例のうち素子基板38の液晶駆動回路のトランジスタを積層した断面図である。

本実施例は、第3図に示すようにデータ信号電極21と走査信号電極20とが交差する位置に液晶画素スイッチング用のアクティブ素子を設け、更に外に取り出すマトリクス端子19を素子基板上に製作した走査側駆動回路22とデータ側駆動回路23に接続している。

本発明によるトランジスタは、第1図に示すように素子基板38上に形成されている。前記素子基板は互いに隣接する単結晶シリコン3と絶縁体4とかなるデバイス層が保持基板1に接着されてなり、

を有する対向基板とが液晶を介して互いに対向して配置されてなるアクティブ・マトリクス液晶表示装置において、前記素子基板は保持基板に接着層を介してデバイス層が形成され、前記デバイス層は単結晶シリコンと絶縁体とかなり、前記デバイス層上には前記アクティブ素子のほかに液晶駆動回路のうち少なくとも走査側駆動回路とデータ側駆動回路とが形成され、前記単結晶シリコンの前記を形成した面と反対側の面上に光遮蔽層を形成した構成を有している。

光遮蔽層は少なくとも液晶パネル周辺の駆動回路のトランジスタ部分は覆う必要がある。また液晶パネル画素部分の液晶画素駆動回路のアクティブ素子も誤動作防止の点から光遮蔽層で覆うことが望ましい。ただし、光透過をオン・オフする画素電極の箇所は、光遮蔽層で覆わないようにする。

(作用)

アクティブ素子の他にデバイス層上に走査側駆動回路とデータ側駆動回路とを形成し、マトリク

前記単結晶シリコンにMOSトランジスタ18からなるアクティブ素子が保持基板側に形成され、同じ光遮蔽層24が保持基板と反対側に形成され、絶縁体4にコンタクト穴をあけて、接続電極37を形成し電気的接続をとっている。ソース領域11とドレイン領域10とはゲート電極7をマスクにしてイオン打ち込みによりセルファライオン的に作成される。このようなMOSトランジスタにおいて、光遮蔽層24は、MOS-FETのチャネル部を覆うように形成され、強度の光照射下での誤動作を防ぐ。

本発明で用いる光遮蔽層には、光を遮蔽する効果のあるものは、全て用いることができる。代表的な材料には、金属膜または金属と金属化合物との多層膜、及び染料を含有する高分子膜がある。金属膜には、クロムCr、モリブデンMo、タンゲステンW、アルミニウムAl、ニッケルNi等の蒸着膜があり、ニッケル等は無電解メッキでも製作される。多層膜には、酸化クロムCr₂O₃/クロム/酸化クロムの構成等がある。染料を含有する高分子膜には、ゼラチン、カゼイン、他合成高分子等の高分

子と、カチオン性染料や酸性染料等の染料がある。また単結晶シリコンへの汚染防止や電気的ショートの防止の為に、単結晶シリコンと光遮蔽層との間に中間層を設けることが多いが、この中間層は必要不可欠では無いので第1図では省略した。

液晶駆動回路の基本回路を説明する。走査側駆動回路22とデータ側駆動回路23とは上述のMOSトランジスタを用いて構成され、各々代表的な概念回路図を第4図と第5図に示した。走査側駆動回路は、走査電極の数だけシフトレジスタ36を有し、これらの各シフトレジスタに垂直同期信号26が入り、その出力走査信号をドライバ25aに入れ、液晶の駆動に適した電圧に変換し、走査信号27として出力する。データ側駆動回路は、データ信号の数だけサンプルホールド回路28を有し、これらの各サンプルホールド回路は、ビデオ信号29を水平同期信号30でゲートを閉じてホールドし、この値をドライバ25bに入れ、データ信号31として出力する。本実施例では、駆動回路をMOSトランジスタ

膜を除去する。この残った酸化シリコン膜の部分が絶縁体4となる。単結晶シリコン基板16が露出している部分に、 $\text{SiH}_2\text{Cl}_2\text{-H}_2\text{-HCl}$ 系を用いて、シリコンを絶縁体4と同じ高さまで選択エピタキシャル成長させ、単結晶シリコン3を形成する。この上にFET型のトランジスタを形成するがこれは通常のMOSプロセスと同様に形成される。すなわち、第7図に示すように、酸化シリコンからなるゲート絶縁膜9、金属電極からなるゲート電極7、酸化シリコンからなる層間絶縁膜12を各々形成の後、イオン打ち込みによりソース領域11・ドレイン領域10を形成する。ゲート電極に用いる金属電極には、アルミニウム、モリブデン、タンゲステン等の金属を用いるが、この他に、金属シリサイド、及び、ポリシリコン等も用いることができる。

また、酸化シリコンで構成される絶縁体4に、絶縁体より深く、コンタクト穴17を一画素につき2箇所、通常の写真蝕技術を用いて、形成する。クロム、モリブデン、タンゲステン等の金属蒸着により、ドレイン電極6を形成し、アクティブライタである

を用いて構成した場合について述べたが、駆動回路はこれに限らず、バイポーラ・トランジスタを用いても構成できる。この場合も基本的には、本実施例と同じである。

液晶パネルの断面構造は第2図に示すとおりである。素子基板38と対向電極14を有する対向基板15とが、液晶13を介して互いに対向して配置されてなる。本図に示されるように液晶画素駆動用のアクティブライタ素子もMOS構造であり、駆動回路と同様に製作される。

本実施例の製造方法は、概略、第6図～第8図に示したとおりである。これらの図は、本発明のアクティブライタ・マトリクス液晶表示装置の製造方法を説明する為工程順に配置した素子基板の主要部断面図である。特に駆動回路及び画素駆動のアクティブライタ素子の製造方法について述べた。

まず、第6図に示すように、単結晶シリコン基板16上に熱酸化により厚さ $2\mu\text{m}$ の酸化シリコン膜 SiO_2 を形成し、各表示画素に対応する部分を除き反応性イオンエッチングによりこの酸化シリコン

るMOSトランジスタからコンタクト穴まで配線する。また同様に金属蒸着により、ソース電極8とを形成し、MOSトランジスタからコンタクト穴まで配線する。

次に第8図に示すように、このMOSトランジスタを形成した単結晶シリコン基板16のMOS素子形成面を絶縁性の高分子材料、例えばエポキシまたはポリイミドからなる接着層2で石英ガラス、ホウケイ酸ガラス、バイレックス系ガラス、ソーダガラス、シリコンウエハ、等の保持基板1に接着する。次に、MOS形成部を除く単結晶シリコン基板16をメカノケミカルポリシングで除去する。この場合のポリシングでは、化学液として有機アミンを用いている為に、絶縁体層4の成分である酸化シリコンは単結晶シリコンよりも加工速度がかなり遅いため、ポリシング加工を絶縁体層4の深さで止めることができる。こうして素子形成した単結晶シリコン領域3と絶縁体領域4から構成されるデバイス層を用意に残すことができる。

次に、駆動回路用のMOS素子の場合は、第1図に示すように絶縁体4の研磨面上に接続電極37を形成し、コンタクト穴17を通じてドレイン電極6とソース電極8と導通をとる。この接続電極を用いて別のトランジスタ、抵抗等と接続する。又、接続電極はMOS素子と同じ面上に形成することもできる。

又、画素駆動用のMOSトランジスタ・アクティブ素子の場合は、第2図に示すように、絶縁体4の研磨面上にデータ信号電極21を形成し、コンタクト穴を通して、ソース電極8と導通をとる。データ信号電極は通常ドレイン電極等と同じ金属電極である。次に研磨面上に画素電極5を形成し、コンタクト穴17を通して、ドレイン電極6と導通をとる。画素電極5は、通常酸化インジウムースズ(ITO)や酸化スズ(NESA)等の透明電極である。この工程により、画素電極5が素子基板表面に形成される。またこのようにしてデバイス層の両側に、走査信号電極とデータ信号電極が形成された。

次に、単結晶シリコン3と絶縁体4からなるデバイス層上に、酸化シリコンをスパタリング法によ

り形成し中間層とした。この上に更にクロムをスパタリング法により形成し、MOS-FETのチャネル部を覆う形にバーニングし、光遮蔽層24とした。

以上のように製作した走査側駆動回路22とデータ側駆動回路23のMOSトランジスタと、走査信号電極20とデータ信号電極21の交差点にある液晶画素電極5駆動のアクティブ素子のMOSトランジスタ18とは、第3図に示したように、液晶パネルの周辺でマトリクス端子19を介して接続される。

このようにして出来た素子基板を、ITO等の対向基板14を全面に形成した対向基板15と、グラス・ファイバ等のスペーサを介して組み合わせて液晶セルを形成する。この液晶セルに液晶を注入して液晶層13とし、通常のエポキシ系有機シールを用いた封止(シール)することによりAM-LCDが得られる(第2図)。

ここで素子基板と対向基板に対しラビングにより配向処理をおこなった。この場合、ポリイミド等の配向処理膜を塗布することが多いが不可欠で

はないので第2図では、省略した。また、液晶はTN型液晶であるZLI-1565(メルク社製)を用い、そのセル厚は8μm、偏向板は日東電工製のNPF-1100Hを用いた。このTN型液晶とこの偏向板を用いたLCDをスタティック駆動で駆動した場合、5:1のコントラスト比CRが得られる視野角±50°であった。

なお、この実施例は、熱酸化後選択的に酸化シリコン膜を除去したのち選択エピタキシャル成長を行ったが、単結晶シリコン基板を選択酸化すれば選択エピタキシャル成長は行わなくてもよい。その場合、単結晶シリコンと絶縁体との間で段差が若干生じるが、性能的には、ほぼ遜色のないものが得られる。

このような素子構成で400×640画素、ピッチ0.05mmのアクティブ・マトリクス液晶表示を試作したが、このアクティブ・マトリクス液晶表示装置はスタティック駆動時とほぼ同一の表示性能を示した。更に模擬信号として2000本走査時相当の信号まで印加したが、スタティック駆動時とほぼ同じ

表示性能が得られた。駆動信号には、従来のMOSトランジスタ又はTFTを積層したアクティブ・マトリクス液晶表示装置に用いる信号と同様の信号を用いた。この表示装置に中間調を含むテレビ画面を出した場合、ほぼ忠実に階調を表現し、高コントラストであり、又、画面内でコントラスト斑は生じなかった。更に、a-Si又はp-SiのTFTを用いたものに比べて歩留まりの向上も著しかった。本実施例によるパネルは駆動回路を積層している為、端子の数が1040本から、クロック信号、垂直同期信号、水平同期信号、ビデオ信号、電源(2電源)、アースの7本と著しく減少し、端子の接続工程が著しく簡略になった。本パネルは小型であるので、ビデオカメラ等のビューファインダに適用することにより1m×1m角の良好な投射画面を得た。中間調表示も良好であった。

本発明によるアクティブ・マトリクス液晶表示装置の第2の実施例は、画素ピッチを0.2mmとした以外は、第1の実施例と同様に試作した。本パネルは

直視においても良好なコントラスト、階調性、視野角を有した。

第9図は本発明アクティブ・マトリクス液晶表示装置の第3の実施例を説明するための素子基板の模式的平面図である。この実施例は、コントロール回路32とテレビ信号処理回路33とを、画素電極5に接続されるMOSトランジスタ18の形成、及び走査側駆動回路22とデータ側駆動回路23の形成と同時に、所定の単結晶シリコン領域に設けた以外は第1の実施例と同様である。これらのコントロール回路とテレビ信号処理回路も通常のMOS-1Cと同じくMOSトランジスタにより構成される。テレビ信号処理回路は、アンテナ端子34とスピーカ端子35とに接続され、本パネルとわずかの受動素子の外付けにより、テレビが構成される。本実施例の画素数は400×640画素、ピッチは0.05mmであり、第1の実施例と同じくビューファイダや投射側ディスプレイとして良好な特性を示した。本実施例によるアクティブ・マトリクス液晶表示装置は、通常のテレビだけではなく、パーソナル・コンピュータ、

以上の説明は全てモノクロの画面であったが、通常おこなわれているように、対向基板上に各画素に対応して、RGB各ドットのカラー・フィルタを形成することにより、容易に、カラー画面が直視型、投射型とともに、得られる。また、投射型の場合は、本発明によるAM-LCDを3枚もしくは、各々にRGB3枚のうちの1枚を組み合わせて、それらを合成してカラー画面を得ることも可能である。

(発明の効果)

以上説明したように、従来は透明基板上にa-Si又はp-Siを形成してその上にTFTを形成するので、特性が悪く、走査本数500本位がスタティック駆動と同等になる限界であったが、本発明によれば、透明基板上に、a-Siに形成したMOSを移すことができるので、良好な特性が得られ、2000本走査も可能となり、また製造歩留まりの向上も著しい。更に、本発明によれば、特に、直射日光下、及び、投射光学系中等のような、強度の光照射のもとでも安定に動作するアクティブ・マトリクス液晶表示装置が得られる。

ワープロ、情報端末等のディスプレイとして用いることができる。

次に本発明AM-LCDの応用例についても述べる。上記の実施例で述べたものは、直視型のディスプレイとしても、次のような投射型ディスプレイとしても用いられる。直視型に対し、1m×1m角程度の超大画面の表示としては、液晶パネルにキセノンランプ等からの強い光を照射してそれを投影する投射型ディスプレイが適する。従来のレーザ熱書き込みの液晶パネルを用いた投射型ディスプレイの液晶パネルを本発明の液晶パネルと置き換えることにより、レーザ及びその駆動回路関係が必要なくなるので、小型の投射型ディスプレイが実現できる。投射光学系は従来のものを用いることができる。例えば、液晶パネルとして、400×640画素、ピッチ0.05mmの本発明のAM-LCDを用いれば、液晶パネルが著しく小型になる為、著しく小型の投射光学系が実現出来る。又、投射系には、通常のオーバー・ヘッド・プロジェクタ(いわゆるOHP)も用いることができる。

本発明によるAM-LCDを多数枚組み合わせれば大面積化が可能で、周辺駆動回路を各画素のアクティブ素子と同一基板上に製作することにより、端子数の大幅減少ができ、また投射型に応用することにより、超小型の投射型ディスプレイも得られる。更に、コントロール回路、信号処理回路をも同一基板上に製作することにより、少數の外付け受動部品のみでテレビ装置または情報端末装置を構成出来る。

図面の簡単な説明

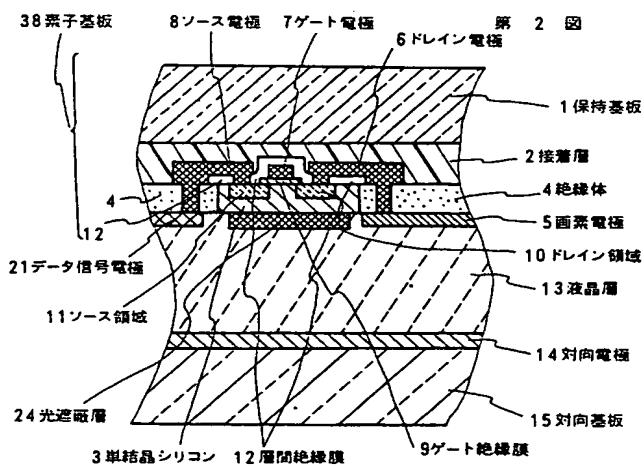
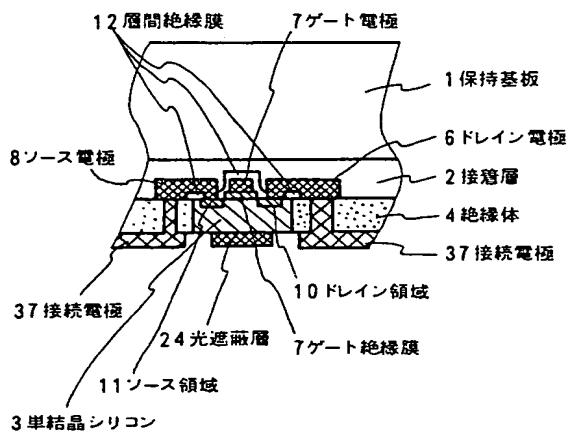
第1図は、本発明のアクティブ・マトリクス液晶表示装置の第1の実施例の液晶駆動回路のトランジスタ部分の断面図であり、第2図は本発明の第1の実施例の画素部分の断面図である。第3図は、この実施例における素子基板の模式的平面図である。第4図と第5図は各々走査側駆動回路とデータ側駆動回路の代表的な概念的回路図である。第6図～第8図は、本発明のアクティブ・マトリクス液晶表示装置の製造方法を説明する為工程順に配置した素子基板の主要部の断面図であり、第9図は本発明アク

ティップ・マトリクス液晶表示装置の第3の実施例を説明するための素子基板の模式的平面図である。

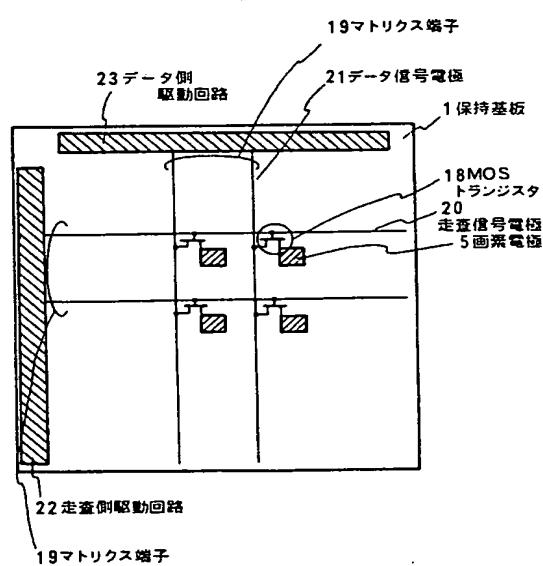
1…保持基板、2…接着層、3…単結晶シリコン、4…絶縁体、5…画素電極、6…ドレイン電極、7…ゲート電極、8…ソース電極、9…ゲート絶縁膜、10…ドレイン領域、11…ソース領域、12…層間絶縁膜、13…液晶層、14…対向電極、15…対向基板、16…単結晶シリコン基板、17…コンタクト穴、18…MOSトランジスタ、19…マトリクス端子、20…走査信号電極、21…データ信号電極、22…走査側駆動回路、23…データ側駆動回路、24…光遮蔽層、25a、25b…ドライバ、26…垂直同期信号、27…走査信号、28…サンプルホールド回路、29…ビデオ信号、30…水平同期信号、31…データ信号、32…コントロール回路、33…テレビ信号処理回路、34…アンテナ端子、35…テレビ信号処理回路、36…シフトレジスタ、37…接続電極、38…素子基板。

代理人 弁理士 内原

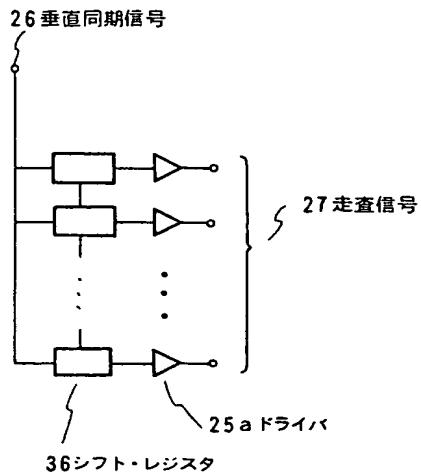
第1図



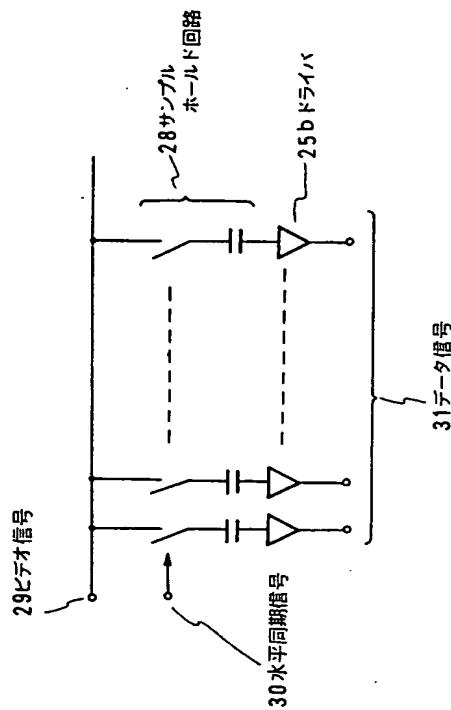
第2図



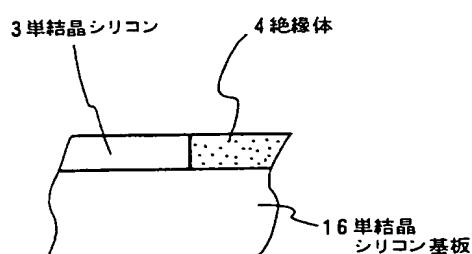
第 4 図



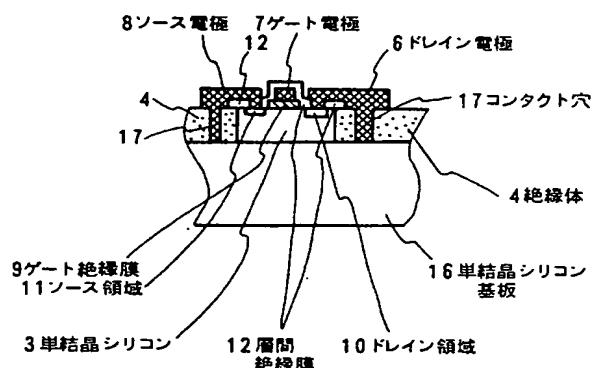
5



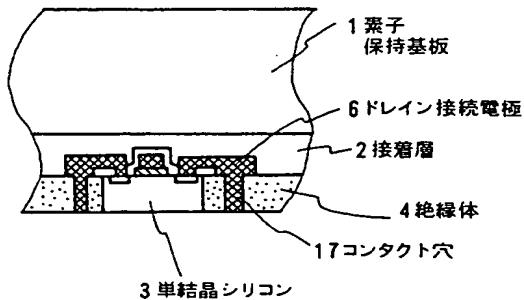
第 6 図



第 7 図



第 8 図



第 9 図

